

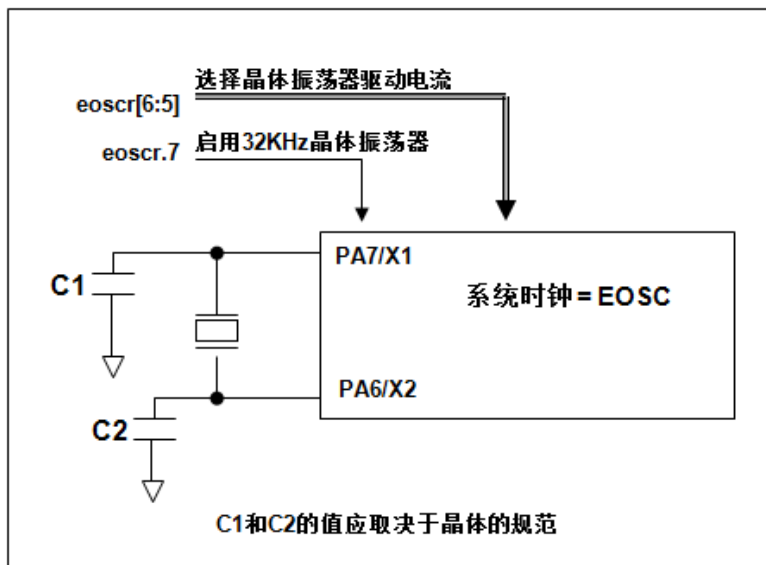
晶振使用需知

适用范围：all MCU with eoscr

在使用具晶振(Crystal Oscillator)功能的单片机时，请依选用的晶振频率，依照规格书标示来设定相关的寄存器 eoscr，例如：

eoscr.[6:5]=01 : Low driving capability, for lower frequency, ex: 32KHz crystal oscillator
eoscr.[6:5]=10 : Middle driving capability, for middle frequency, ex: 1MHz crystal oscillator
eoscr.[6:5]=11 : High driving capability, for higher frequency, ex: 4MHz crystal oscillator

一般而言，在符合下述的操作状况下可选择低驱动电流以降低耗电。芯片规格书中标示的晶振电容 C1 及 C2 的建议电容值只是初始值，使用者仍必需依晶振制造商建议的负载电容值(Load capacitance)及操作电压等影响因素来调整 C1 及 C2 电容值以达到最佳效果。



C1 及 C2 电容值的调整要使得：

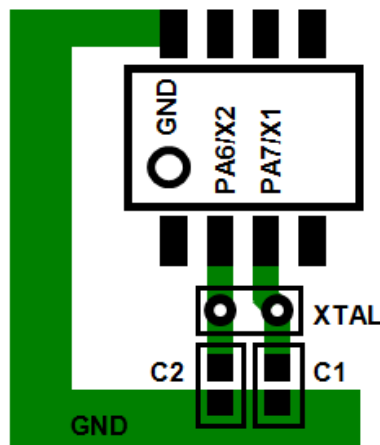
1. 在最高操作电压(Highest VDD)及最低操作温度(Lowest Temperature)状况下晶振电路的 PA6/X2 输出波形必需是干净的弦波(Clean Sine Wave)，不能有弦波被截平(Clipped)的过驱动(over driven)现象。
2. 在最高操作温度(Highest Temperature)及最低操作电压(Lowest VDD)状况下晶振电路必须仍能正常操作，且 PA6/X2 弦波波形不能驱动不足(Sine 波振幅够大)。
3. 使用 C2 电容值大于 C1 电容值可改善起振。

当晶振电路的 PA6/X2 输出弦波波形有过驱动现象，可加大 C2 改善过驱动(Over Driven)，但不建议使用离晶振厂建议值太远的电容值。

为求晶振于设计的电路上能稳定操作，在 PCB 电路板布局走线时应注意下列事项：

1. 振荡电路组件（晶振、负载电容）应配置在单片机 I/O 引脚(上图中的 PA7/X1，PA6/X2)旁，越近越好。
2. 连接单片机 I/O 引脚(上图中的 PA7/X1，PA6/X2)与晶振的 PCB 电路板布局走线应最短且不交叉。
3. 在晶振的下部配置 GND。
4. 晶振与单片机 I/O 引脚(上图中的 PA7/X1，PA6/X2)接点对地电阻必需有良好的绝缘阻抗，特别是在 32.768K 晶振应用时，因其操作电流小，如对地电阻降低，容易因有对地漏电，造成起振慢或不起振等现象。

如果设计中不注意以上事项，将引起不起振、振荡不稳定、频率不准确等各种故障，下图为一 PCB 电路板布局走线实施例：



因晶体振荡电路的操作稳定性及精确性，除了受上述的 PCB 布局走线影响外，也受所使用的晶振、外围电阻及电容的影响，需要用户提供正常运作的电路板样品，请求晶振供货商对该电路板上所设计的晶体振荡线路进行“振荡线路回路分析”，以得知晶振在整个振荡线路上的匹配性是否良好，如果匹配性不好就会发生振荡频率不准、不起振、振荡不稳定等现象。

一般晶振供货商的“振荡线路回路分析”报告中包含下列三个测试项目：

1. 频率容许误差（Frequency Tolerance）的量测：
此项目量测被测电路板上晶体振荡电路的整体误差(ppm)，如误差过大，一般会调整晶振负载电容值以改善此误差，如下表：

C1/C2(pF)	F/on board(Hz)	F/on board(ppm)	F/xtal(ppm)	On board Dev.(ppm)
22/22	32769690	51.57	13.96	37.61
27/27	32768519	15.84	13.96	1.88

C1/C2(pF): 表电路板上所使用的晶振负载电容值, 单位: pF

F/on board(Hz): 表晶体振荡电路的振荡频率, 单位: Hz

F/on borad(ppm): 表晶体振荡电路的整体误差, 单位: ppm

F/xtal(ppm): 表晶振单体的误差, 单位: ppm

On board Dev.(ppm): 表晶体振荡电路整体误差与晶振单体误差的偏移(Deviation), 一般会调整晶振负载电容以改善此偏移, 以将振荡电路对晶振单体误差的影响(例如电路板上的杂散电容)降到最低, 以确保晶体振荡电路整体误差能尽可能地接近晶振单体误差规格。

例如上表中, 振荡电路原本设计使用22pF的负载电容, 振荡电路整体误差为51.57ppm, 晶振单体误差为13.96ppm(在晶振误差规格+20ppm内), 误差偏移为37.61ppm, 在调整负载电容为27pF后, 即能将误差偏移降为1.88ppm, 即对使用误差规格为+20ppm的晶振, 能将振荡电路整体误差控制在21.88ppm ~ -18.12ppm内。

2. 驱动功率(D.L. Driver Level)的量测:

驱动功率是指做用在晶振上的功率, 透过量测流经晶振上的电流(I), 再乘上晶振的等效内阻(ESR), 计算而得, 基本单位为 μW 。公式如下:

$$P(\mu\text{W}) = I^2 \times \text{ESR}$$

为求省电, 一般会要求驱动功率越低越好, 另外如果驱动功率过高会使得晶振内部接口恶化, 进而造成频率振荡的不稳定和寿命衰减。

3. 负性阻抗(-Rx, 也称为起振余裕)的量测:

一般负性阻抗值越大越好, 表示振荡线路越容易起振, 如果负性阻抗值太低, 表示起振时间会变长, 甚至发生不会起振的现象。一般规负性阻抗值必需在晶振最大ESR的3~5倍以上。

下表为一实际量测案例:

单片机: PMS156 SO8

晶振: YOKE AT-38 32.768KHz / 12.5pF / $\pm 20\text{ppm}$ / 50Kohm / 1.0uW

振荡线路回路分析结果如下表:

Xtal No.	C1/C2 (pF)	F/on board (Hz)	F/on borad (ppm)	F/xtal (ppm)	On board Dev.(ppm)	ESR (ohm)	-Rx (ohm)	Drive Level (uW)
X1	22/22	32769636	49.93	12.98	36.95	13K	452K	< 1
X1	27/27	32768382	11.66	12.98	-1.32	13K	405K	< 1